

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月 3日

出 願 番 号
Application Number:

特願2003-056197

[ST.10/C]:

[JP2003-056197]

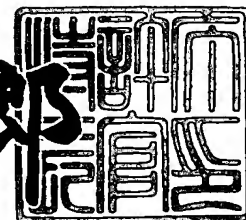
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 6月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049871

【書類名】 特許願
【整理番号】 KT000464
【提出日】 平成15年 3月 3日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H03F 3/00
【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 絹笠 幸久

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 オフセット電圧補正装置およびオフセット電圧補正方法

【特許請求の範囲】

【請求項 1】 第 1 入力端子の電位に応じて電位が変化する第 1 内部ノードと、第 2 入力端子の電位に応じて電位が変化する第 2 内部ノードを有し、前記第 1 内部ノードの電位と前記第 2 内部ノードの電位を比較し、当該比較結果を比較結果信号として出力するコンパレータ回路と；

クロック信号をアップカウントおよびダウンカウントして得たカウンタ値を順次オフセット電圧検出信号に変換し、当該オフセット電圧検出信号を、前記第 1 入力端子にリファレンス信号が入力されている前記コンパレータ回路の前記第 2 入力端子に対して与えるオフセット電圧検出信号出力手段と；

前記オフセット電圧検出信号出力手段による前記クロック信号のアップカウント動作中において前記比較結果信号の論理レベルが変化したときのカウンタ値と、前記オフセット電圧検出信号出力手段による前記クロック信号のダウンカウント動作中において前記比較結果信号の論理レベルが変化したときのカウンタ値とを用いて所定の演算を行い、演算の結果得られた演算結果カウンタ値に基づいてオフセット電圧補正信号を生成するオフセット電圧補正信号生成手段と；

前記オフセット電圧補正信号に基づいて前記第 1 内部ノードの電位または前記第 2 内部ノードの電位を調整するオフセット電圧調整手段と；
を備えたことを特徴とする、オフセット電圧補正装置。

【請求項 2】 前記オフセット電圧調整手段は、前記オフセット電圧補正信号が入力される制御端子と、電源ノードに接続された第 1 電源端子と、前記第 1 内部ノードまたは第 2 内部ノードに接続された第 2 電源端子を備えたトランジスタから成ることを特徴とする、請求項 1 に記載のオフセット電圧補正装置。

【請求項 3】 前記オフセット電圧調整手段は、前記第 1 入力端子の電位に応じて前記第 1 内部ノードの電位を制御する第 1 内部ノード電位制御手段に含まれ、

前記第 1 内部ノード電位制御手段は、

前記第 1 入力端子に接続された第 1 制御端子と、

前記オフセット電圧補正信号が入力される第2制御端子と、
電源ノードに接続された第1電源端子と、

前記第1内部ノードに接続された第2電源端子を備えたトランジスタから成ることを特徴とする、請求項1に記載のオフセット電圧補正装置。

【請求項4】 前記オフセット電圧調整手段は、前記第2入力端子の電位に応じて前記第2内部ノードの電位を制御する第2内部ノード電位制御手段に含まれ、

前記第2内部ノード電位制御手段は、

前記第2入力端子に接続された第1制御端子と、

前記オフセット電圧補正信号が入力される第2制御端子と、

電源ノードに接続された第1電源端子と、

前記第2内部ノードに接続された第2電源端子を備えたトランジスタから成ることを特徴とする、請求項1に記載のオフセット電圧補正装置。

【請求項5】 前記演算結果カウンタ値は、

前記オフセット電圧検出信号出力手段による前記クロック信号のアップカウント動作中において前記比較結果信号の論理レベルが変化したときのカウンタ値と、前記オフセット電圧検出信号出力手段による前記クロック信号のダウンカウント動作中において前記比較結果信号の論理レベルが変化したときのカウンタ値の平均値であることを特徴とする、請求項1、2、3、または4に記載のオフセット電圧補正装置。

【請求項6】 第1入力端子の電位に応じて電位が変化する第1内部ノードと、第2入力端子の電位に応じて電位が変化する第2内部ノードを有し、前記第1内部ノードの電位と前記第2内部ノードの電位を比較し、当該比較結果を比較結果信号として出力するコンパレータ回路のオフセット電圧の補正方法であって

クロック信号をアップカウントして得たカウント値を順次オフセット電圧検出信号に変換する第1ステップと；

第1入力端子にリファレンス信号が入力されているコンパレータ回路の第2入力端子に対して、前記第1ステップで得られたオフセット電圧検出信号を継続し

て与える第2ステップと；

前記コンパレータ回路から出力される前記比較結果信号の論理レベルが変化してから所定の期間が経過した後、前記クロック信号のアップカウントを停止し、その時点のカウント値を基準に前記クロック信号のダウンカウントを開始し、ダウンカウントして得たカウント値を順次オフセット電圧検出信号に変換する、第3ステップと；

第1入力端子にリファレンス信号が入力されているコンパレータ回路の第2入力端子に対して、前記第3ステップで得られたオフセット電圧検出信号を継続して与える第4ステップと；

前記第2ステップにおいて前記比較結果信号の論理レベルが変化したときのカウント値と、前記第4ステップにおいて前記比較結果信号の論理レベルが変化したときのカウント値とを用いて所定の演算を行い、演算の結果得られた演算結果カウンタ値に基づいてオフセット電圧補正信号を生成する第5ステップと；

前記オフセット電圧補正信号に基づいて第1内部ノードまたは第2内部ノードの電位を調整する第6ステップと；

を含むことを特徴とする、オフセット電圧の補正方法。

【請求項7】 第1入力端子の電位に応じて電位が変化する第1内部ノードと、第2入力端子の電位に応じて電位が変化する第2内部ノードを有し、前記第1内部ノードの電位と前記第2内部ノードの電位を比較し、当該比較結果を比較結果信号として出力するコンパレータ回路のオフセット電圧の補正方法であって

クロック信号をダウンカウントして得たカウント値を順次オフセット電圧検出信号に変換する第1ステップと；

第1入力端子にリファレンス信号が入力されているコンパレータ回路の第2入力端子に対して、前記第1ステップで得られたオフセット電圧検出信号を継続して与える第2ステップと；

前記コンパレータ回路から出力される前記比較結果信号の論理レベルが変化してから所定の期間が経過した後、前記クロック信号のダウンカウントを停止し、その時点のカウント値を基準に前記クロック信号のアップカウントを開始し、ダ

ウンカウントして得たカウント値を順次オフセット電圧検出信号に変換する、第 3 ステップと；

第 1 入力端子にリファレンス信号が入力されているコンパレータ回路の第 2 入力端子に対して、前記第 3 ステップで得られたオフセット電圧検出信号を継続して与える第 4 ステップと；

前記第 2 ステップにおいて前記比較結果信号の論理レベルが変化したときのカウント値と、前記第 4 ステップにおいて前記比較結果信号の論理レベルが変化したときのカウント値とを用いて所定の演算を行い、演算の結果得られた演算結果カウンタ値に基づいてオフセット電圧補正信号を生成する第 5 ステップと；

前記オフセット電圧補正信号に基づいて第 1 内部ノードまたは第 2 内部ノードの電位を調整する第 6 ステップと；

を含むことを特徴とする、オフセット電圧の補正方法。

【請求項 8】 前記演算結果カウンタ値は、

前記第 2 ステップにおいて前記比較結果信号の論理レベルが変化したときのカウント値と、前記第 4 ステップにおいて前記比較結果信号の論理レベルが変化したときのカウント値の平均値であることを特徴とする、請求項 6 または 7 に記載のオフセット電圧の補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンパレータ回路における入力オフセット電圧を補正するオフセット電圧補正装置およびオフセット電圧の補正方法に関するものである。

【0002】

【従来の技術】

コンパレータ回路を構成するオペアンプにおいて、理想的には 0 V であるべき入力オフセット電圧は、

- (1) オペアンプの入力段に位置するトランジスタのサイズのばらつき
- (2) 温度ドリフトおよび経年変化

などの影響を受けてある値を持つようになる。

【0003】

オペアンプの正相入力端子と逆相入力端子に対して同一電圧レベルの信号を与えても、オペアンプが入力オフセット電圧を有している場合、コンパレータ回路は期待されていない信号を出力してしまう。特に微小信号を扱う装置では、僅かな電圧レベル変化が後段回路に大きく影響を及ぼすことになるため、入力オフセット電圧を高精度に補正する手段が不可欠となる。

【0004】

入力オフセット電圧を補正する従来技術は、特開平11-88071号公報（文献1）および特開2001-44770号公報（文献2）に開示されている。

【0005】

【特許文献1】

特開平11-88071号公報

【特許文献2】

特開2001-44770号公報

【0006】

文献1には、カウンタ回路を備えたオフセット電圧補正回路が記載されている。オペアンプの出力信号が変化するときの入力信号の電圧レベルがカウンタ回路のカウンタ値に関連付けられ、このカウンタ値に基づいて入力オフセット電圧が補正される。文献2に記載の増幅回路は、オペアンプの出力電圧と基準電圧とを比較する比較回路と、この比較回路の出力信号に基づいてオペアンプの入力電圧を調整するレベルシフト回路を備えており、かかる回路構成によってオペアンプの入力オフセット電圧が補正される。

【0007】

【発明が解決しようとする課題】

従来のコンパレータ回路を用いて、出力信号が"1"から"0"に遷移する場合と、"0"から"1"に遷移する場合のそれぞれについて入力オフセット電圧を測定したところ、両者に差異が認められた。すなわち、コンパレータ回路の出力が変化する直前の状態が"1"であるか、または"0"であるかによって、入力オフセット電圧が異なることが明らかになった。この現象は、コンパレータ回路がヒステリ

シス特性を有することに起因する。

【0008】

特に、微小信号を扱う装置では、より精度良くコンパレータ回路の入力オフセット電圧を補正する必要がある、上述のような入力オフセット電圧の「ズレ」を無視することはできない。

【0009】

本発明は、上記のような問題点に鑑みてなされたものであり、その目的は、極めて高い精度でコンパレータ回路の入力オフセット電圧を補正することが可能な新規かつ改良されたオフセット電圧補正装置およびオフセット電圧補正方法を提供することにある。

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の観点によれば、第1入力端子の電位に応じて電位が変化する第1内部ノードと、第2入力端子の電位に応じて電位が変化する第2内部ノードを有し、第1内部ノードの電位と第2内部ノードの電位を比較し、当該比較結果を比較結果信号として出力するコンパレータを内部または外部に備えたオフセット電圧補正装置が提供される。そして、このオフセット電圧補正装置は、オフセット電圧検出信号出力手段、オフセット電圧補正信号生成手段、およびオフセット電圧調整手段を備えたことを特徴としている。

【0011】

オフセット電圧検出信号出力手段は、クロック信号をアップカウントして得たカウンタ値およびダウンカウントして得たカウンタ値を順次オフセット電圧検出信号に変換し、当該オフセット電圧検出信号を、第1入力端子にリファレンス信号が入力されているコンパレータ回路の第2入力端子に対して与える機能を有する。

【0012】

オフセット電圧補正信号生成手段は、オフセット電圧検出信号出力手段によるクロック信号のアップカウント動作中において比較結果信号の論理レベルが変化したときのカウンタ値と、オフセット電圧検出信号出力手段によるクロック信号

のダウンカウント動作中において比較結果信号の論理レベルが変化したときのカウンタ値とを用いて所定の演算を行い、演算の結果得られた演算結果カウンタ値に基づいてオフセット電圧補正信号を生成する。

【0013】

オフセット電圧調整手段は、オフセット電圧補正信号に基づいて第1内部ノードの電位または第2内部ノードの電位を調整する。

【0014】

かかる構成を有するオフセット電圧補正装置によれば、オフセット補正動作において、コンパレータ回路の第1入力端子の電位が、第2入力端子の電位よりも低いレベルから高いレベルに変化したときと、第2入力端子の電位よりも高いレベルから低いレベルに変化したときの両方についてのオフセット電圧が考慮されることになる。したがって、コンパレータ回路がオフセット電圧に関してヒステリシス特性を有する場合であっても、オフセット電圧を高い精度で補正することが可能となる。より高い補正精度を得るために、オフセット電圧検出信号出力手段によるクロック信号のアップカウント動作中において比較結果信号の論理レベルが変化したときのカウンタ値と、オフセット電圧検出信号出力手段によるクロック信号のダウンカウント動作中において比較結果信号の論理レベルが変化したときのカウンタ値の平均値が、演算結果カウンタ値とされる。

【0015】

トランジスタによってオフセット電圧調整手段を構成することができる。このトランジスタの第1電源端子は電源ノードに接続され、第2電源端子は第1内部ノードまたは第2内部ノードに接続される。そして、このトランジスタは、制御端子に入力されるオフセット電圧補正信号によってオン/オフ制御される。

【0016】

第1入力端子の電位に応じて第1内部ノードの電位を制御する第1内部ノード電位制御手段に、オフセット電圧調整手段を含ませることも可能である。また、第2入力端子の電位に応じて第2内部ノードの電位を制御する第2内部ノード電位制御手段に、オフセット電圧調整手段を含ませることも可能である。

【0017】

この場合、第1内部ノード電位制御手段（または第2内部ノード電位制御手段）は、2つの制御端子を有するトランジスタ（例えば、ニューロンMOSトランジスタ）であることが好ましい。2つの制御端子の一方の第1制御端子には第1入力端子（第2入力端子）の電圧が印加され、他方の第2制御端子にはオフセット電圧補正信号が入力される。また、このトランジスタの第1電源端子は、電源ノードに接続され、第2電源端子は、第1内部ノード（第2内部ノード）に接続される。このトランジスタを採用することによって、オフセット電圧補正装置の回路規模を小さくすることが可能となる。

【0018】

本発明の第2の観点によれば、第1入力端子の電位に応じて電位が変化する第1内部ノードと、第2入力端子の電位に応じて電位が変化する第2内部ノードを有し、第1内部ノードの電位と第2内部ノードの電位を比較し、当該比較結果を比較結果信号として出力するコンパレータのオフセット電圧の補正方法が提供される。そして、この補正方法は、次の第1～6ステップを含む。

【0019】

第1ステップでは、クロック信号をアップカウントし、そのカウント値（デジタル値）を順次オフセット電圧検出信号（アナログ値）に変換する。

【0020】

第2ステップでは、コンパレータ回路の第2入力端子に対して、第1ステップで得られたオフセット電圧検出信号を継続して入力する。このときコンパレータ回路の第1入力端子にはリファレンス信号を入力する。

【0021】

コンパレータ回路から出力される比較結果信号の論理レベルが変化してから所定の期間（少なくともクロック信号の一周期以上）が経過した後、クロック信号のアップカウントを停止する。これを第3ステップとする。さらに、この第3ステップにおいて、アップカウント停止時のカウント値を基準にクロック信号のダウンカウントを開始し、ダウンカウントして得たカウント値を順次オフセット電圧検出信号に変換する。

【0022】

第4ステップでは、第1入力端子にリファレンス信号が入力されているコンパレータ回路の第2入力端子に対して、第3ステップで得られたオフセット電圧検出信号を継続して与える。

【0023】

第5ステップでは、第2ステップにおいて比較結果信号の論理レベルが変化したときのカウンタ値と、第4ステップにおいて比較結果信号の論理レベルが変化したときのカウンタ値とを用いて所定の演算を行い、演算の結果得られた演算結果カウンタ値に基づいてオフセット電圧補正信号を生成する。

【0024】

第6ステップでは、オフセット電圧補正信号に基づいて第1内部ノードまたは第2内部ノードの電位を調整する。

【0025】

かかる方法によれば、コンパレータ回路の第1入力端子の電位が、第2入力端子の電位よりも低いレベルから高いレベルに変化したときと、第2入力端子の電位よりも高いレベルから低いレベルに変化したときの両方についてのオフセット電圧を把握することが可能となる。したがって、コンパレータ回路がオフセット電圧に関してヒステリシス特性を有する場合であっても、オフセット電圧を高い精度で補正することができる。より高い補正精度を得るために、第2ステップにおいて比較結果信号の論理レベルが変化したときのカウンタ値と、第4ステップにおいて比較結果信号の論理レベルが変化したときのカウンタ値の平均値が、演算結果カウンタ値とされる。

【0026】

なお、第1ステップにおけるクロック信号のアップカウントと、第3ステップにおけるクロック信号のダウンカウントを入れ替えて実施してもよい。

【0027】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるオフセット電圧補正装置およびオフセット電圧補正方法の好適な実施の形態について詳細に説明する。なお、以下の説明および添付された図面において、略同一の機能および構成を有する要

素については、同一符号を付することによって重複説明を省略する。

【0028】

〔第1の実施の形態〕

本発明の第1の実施の形態にかかるオフセット電圧補正装置1の構成を図1に示す。オフセット電圧補正装置1は、コンパレータCMPの入力オフセット電圧を補正するものであり、コンパレータCMP、クロック信号発生回路11、カウンタ回路12、ディジタル／アナログ（D／A）変換回路13、オフセット電圧補正回路14、リファレンス電圧発生回路15、複数のスイッチSW1、SW2、SW3-1、SW3-2、SW4-1、SW4-2から構成されている。

【0029】

クロック信号発生回路11から出力されたクロック信号CLKは、カウンタ回路12およびオフセット電圧補正回路14に入力される。カウンタ回路12は、クロック信号CLKをカウントして、そのカウント値（ディジタル値）をカウンタ信号ScとしてスイッチSW1およびオフセット電圧補正回路14に与える。また、カウンタ回路12には、オフセット電圧補正回路14からセレクト信号Sselが入力される。

【0030】

カウンタ回路12は、図2に示すように、カウント部121、2個のインバータ122、123、およびセクタ124から構成されている。カウンタ部121は、クロック信号発生回路11から出力されたクロック信号CLKをカウントし、そのカウント値（ディジタル値）をインバータ122に与える。インバータ122の出力端子は、インバータ123の入力端子およびセクタ124の第2入力端子に接続されている。インバータ123の出力端子は、セクタ124の第1入力端子に接続されている。セクタ124には、オフセット電圧補正回路14から出力されたセレクト信号Sselが入力される。セクタ124は、セレクト信号Sselの論理レベルに応じて、第1入力端子に入力される信号（カウンタ部121の出力信号と同じ論理の信号）、または、第2入力端子に入力される信号（カウンタ部121の出力信号の各ビットを反転させた信号）のいずれか一方をカウンタ信号Scとして出力する。このように、カウンタ回路12は、

オフセット電圧補正回路14によって制御され、クロック信号CLKのアップカウントまたはダウンカウントを行う。

【0031】

図1に示すように、スイッチSW1は、オフセット電圧補正回路14から出力されたオフセット電圧補正信号S_{os}（デジタル値）またはカウンタ回路12から出力されたカウンタ信号S_c（デジタル値）のいずれか一方をD/A変換回路13に出力する。D/A変換回路13は、スイッチSW1の出力信号（デジタル値）をアナログ信号S_aに変換して出力する。このアナログ信号S_aは、スイッチSW2、SW3-1、SW3-2の各第1端子に入力される。

【0032】

スイッチSW2の第2端子には、入力信号S_{in}が入力される。スイッチSW2は、入力信号S_{in}またはD/A変換回路13から出力されたアナログ信号S_aのいずれか一方を、コモン端子から出力してコンパレータCMPに与える。

【0033】

コンパレータCMPの正相入力端子+（第2入力端子）は、スイッチSW2のコモン端子に接続されており、第1オフセット電圧補正端子T1は、スイッチSW3-1のコモン端子に接続されており、第2オフセット電圧補正端子T2は、スイッチSW3-2のコモン端子に接続されている。また、コンパレータCMPの逆相入力端子-（第1入力端子）には、リファレンス電圧発生回路15から出力されたりファレンス信号S_{ref}が入力される。コンパレータCMPは、正相入力端子+と逆相入力端子-の電位を比較して、この比較結果を比較信号S_{cmp}として後段回路（図示せず）およびオフセット電圧補正回路14に対して出力する。比較信号S_{cmp}は、“1”または“0”のデジタル値である。

【0034】

スイッチSW3-1の第2端子は、スイッチSW4-1のコモン端子に接続されており、スイッチSW3-2の第2端子は、スイッチSW4-2のコモン端子に接続されている。スイッチSW4-1の第1端子は、電源電圧VDDの供給ラインに接続されており、第2端子は、グランドGNDラインに接続されている。同様に、スイッチSW4-2の第1端子は、電源電圧VDDの供給ラインに接続

されており、第2端子は、グランドGNDラインに接続されている。

【0035】

オフセット電圧補正回路14の回路構成を図3に示す。オフセット電圧補正回路14は、3つのDフリップフロップ(D-FF)141, 142, 143, 排他的論理和ゲート(Ex-ORゲート)144, および論理演算部145から構成されている。

【0036】

D-FF141の入力端子Dには、コンパレータCMPから出力された比較信号Scmpが入力され、D-FF141のクロック信号入力端子CKには、クロック信号発生回路11から出力されたクロック信号CLKが入力される。

【0037】

Ex-ORゲート144の第1入力端子には、D-FF141の出力端子Qが接続されており、第2入力端子には、コンパレータCMPから出力された比較信号Scmpが入力される。Ex-ORゲート144の出力端子は、D-FF142およびD-FF143の各クロック信号入力端子CKに接続されている。

【0038】

D-FF142の入力端子Dには、カウンタ回路12から出力されたカウンタ信号Scが入力される。D-FF142の出力端子Qは、D-FF143の入力端子Dおよび論理演算部145に接続されている。また、D-FF143の出力端子Qは、論理演算部145に接続されている。

【0039】

論理演算部145は、D-FF142の出力端子Qから出力されたデータ信号とD-FF143の出力端子Qから出力されたデータ信号を基に、所定の論理演算(後述)を実行して、演算結果をオフセット電圧補正信号Sosとして出力する。

【0040】

コンパレータCMPの回路構成について図4を用いて説明する。図4は、コンパレータCMPの入力段を示している。この入力段は、Pチャネル型トランジスタ(Pトランジスタ)Tr1, Tr2, Tr5, Tr8, Tr9, Tr10, N

チャンネル型トランジスタ（Nトランジスタ）Tr 3, Tr 4, Tr 6, Tr 7, および定電流源CG 1, CG 2から構成されている。

【0041】

PトランジスタTr 1, Tr 2の各ゲートは、ノードn 1に接続されており、各ソースは、電源電圧VDDの伝送ラインに接続されている。PトランジスタTr 8, Tr 9, Tr 10の各ソースは、電源電圧VDDの伝送ラインに接続されている。PトランジスタTr 9のゲートは、第1オフセット電圧補正端子T 1に接続されており、PトランジスタTr 10のゲートは、第2オフセット電圧補正端子T 2に接続されている。PトランジスタTr 1, Tr 9のドレインは、ノードn 2（第1内部ノード）に共通接続されており、PトランジスタTr 2, Tr 10のドレインは、ノードn 3（第2内部ノード）に共通接続されている。PトランジスタTr 8のゲートとドレインは、ノードn 1に共通接続されている。PトランジスタTr 5のゲートは、クロック信号CKLの伝送ラインに接続されており、ソースは、ノードn 2に接続されており、ドレインは、ノードn 3に接続されている。PトランジスタTr 1, Tr 2, Tr 5, Tr 8, Tr 9, Tr 10の各サブストレートゲートは、電源電圧VDDの供給ラインに接続されている。

【0042】

NトランジスタTr 3のドレインは、ノードn 2に接続されており、NトランジスタTr 4のドレインは、ノードn 3に接続されている。NトランジスタTr 3のゲートは、正相入力端子+に接続されており、NトランジスタTr 4のゲートは、逆相入力端子-に接続されている。NトランジスタTr 3, Tr 4の各ソースとNトランジスタTr 6のドレインはノードn 4に共通接続されている。NトランジスタTr 6のゲート並びにNトランジスタTr 7のドレインおよびゲートは、ノードn 5に接続されている。NトランジスタTr 6, Tr 7の各ソースは、グランドGNDラインに共通接続されている。

【0043】

定電流源CG 1のアノード端は、電源電圧VDDの供給ラインに接続されており、カソード端は、ノードn 5に接続されている。定電流源CG 2のアノード端

は、ノード $n1$ に接続されており、カソード端は、グランド GND ラインに共通接続されている。

【0044】

コンパレータ CMP の入力段は、ノード $n2$ およびノード $n3$ を介して、増幅段に接続されている。

【0045】

第1 オフセット電圧補正端子 $T1$ にゲートが接続されている P トランジスタ $Tr9$ (オフセット電圧調整手段) は、N トランジスタ $Tr3$ のドレイン電圧を調整する役割を果たす。また、第2 オフセット電圧補正端子 $T2$ にゲートが接続されている P トランジスタ $Tr10$ (オフセット電圧調整手段) は、N トランジスタ $Tr4$ のドレイン電圧を調整する役割を果たす。

【0046】

以上のように構成された本実施の形態にかかるオフセット電圧補正装置 1 の動作を説明する。

【0047】

オフセット電圧補正装置 1 は、コンパレータ CMP の入力オフセット電圧を検出し (モード 1)、検出した入力オフセット電圧に基づいてコンパレータ CMP の動作を制御する (モード 2)。これによって、コンパレータ CMP は、入力信号 S_{in} とリファレンス信号 S_{ref} を正確に比較することが可能となる。

【0048】

モード 1 では、スイッチ $SW1$ はカウンタ回路 12 の出力側に接続され、スイッチ $SW2$ は D/A 変換回路 13 の出力側に接続される。スイッチ $SW3-1$ はスイッチ $SW4-1$ のコモン端子側に接続され、スイッチ $SW3-2$ はスイッチ $SW4-2$ のコモン端子側に接続される。スイッチ $SW4-1$ およびスイッチ $SW4-2$ は共に電源電圧 V_{DD} の供給ライン側に接続される。

【0049】

スイッチ $SW1$ およびスイッチ $SW2$ の動作によって、カウンタ回路 12 が出力するカウンタ信号 S_c が D/A 変換回路 13 においてアナログ変換され、ここでアナログ変換されたアナログ信号 S_a がコンパレータ CMP の正相入力端子 +

に入力される。また、SW3-1、SW3-2、SW4-1、SW4-2の動作によって、コンパレータCMPの第1オフセット電圧補正端子T1および第2オフセット電圧補正端子T2には、電源電圧VDDが印加される。したがって、コンパレータCMPの入力段を構成するPトランジスタTr9およびPトランジスタTr10は共にオフ状態となる。ここで、カウンタ回路12とD/A変換回路13は、本発明にかかるオフセット電圧検出信号出力手段を構成する。

【0050】

モード2では、スイッチSW1はオフセット電圧補正回路14の出力側に接続される。スイッチSW2は、入力信号SinがコンパレータCMPの正相入力端子+に入力されるように接続が切り替わる。スイッチSW3-1およびスイッチSW3-2については、いずれか一方がD/A変換回路13の出力側に接続される。

【0051】

スイッチSW2の動作によって、入力信号SinがコンパレータCMPの正相入力端子+に入力される。スイッチSW1およびスイッチSW3-1（またはスイッチSW3-2）の動作によって、オフセット電圧補正回路14が出力するオフセット電圧補正信号SosがD/A変換回路13においてアナログ変換され、ここでアナログ変換されたアナログ信号Sa（オフセット電圧補正信号）がコンパレータCMPの第1オフセット電圧補正端子T1（または第2オフセット電圧補正端子T2）に入力される。この結果、コンパレータCMPの入力段を構成するPトランジスタTr9またはPトランジスタTr10のドレイン・ソース間には、オフセット電圧補正信号Sosに応じた大きさの電流が流れることになる。ここで、オフセット電圧補正回路14とD/A変換回路13は、本発明にかかるオフセット電圧補正信号生成手段を構成する。

【0052】

まず、オフセット電圧補正装置1はモード1を選択し動作する。このモード1では、コンパレータCMPは、カウンタ回路12が出力するカウンタ信号Scから生成されたアナログ信号Sa（オフセット電圧検出信号）を、リファレンス信号Srefと比較し、比較結果を比較信号Scmpとして出力する。オフセット

電圧補正回路14は、この比較信号 S_{cmp} と、この比較信号 S_{cmp} の基になったカウンタ信号 S_c との関連付けを行う。

【0053】

上述のように、コンパレータCMPが出力する比較信号 S_{cmp} が"1"から"0"に遷移する場合（コンパレータCMPの正相入力端子+の電位が、逆相入力端子-の電位よりも高いレベルから低いレベルに変化する場合）と、"0"から"1"に遷移する場合（コンパレータCMPの正相入力端子+の電位が、逆相入力端子-の電位よりも低いレベルから高いレベルに変化する場合）では、入力オフセット電圧に違いが生じる。したがって、オフセット電圧補正装置1のカウンタ回路12は、モード1において、クロック信号CLKのアップカウント動作とダウンカウント動作を両方行う。これによって、オフセット電圧補正回路14は、比較信号 S_{cmp} が"1"から"0"に遷移する場合の入力オフセット電圧に対応するカウンタ信号 S_c の値（カウンタ値 CV_u ）と、"0"から"1"に遷移する場合の入力オフセット電圧に対応するカウンタ信号 S_c の値（カウンタ値 CV_d ）を得ることができる。オフセット電圧補正回路14は、カウンタ値 CV_u とカウンタ値 CV_d を用いて所定の演算を行う。

【0054】

ここで、オフセット電圧補正装置1はモード1からモード2へ切り替わる。オフセット電圧補正回路14の演算結果は、オフセット電圧補正信号 S_{os} として出力され、D/A変換回路13によってアナログ信号 S_a に変換される。このアナログ信号 S_a は、コンパレータCMPに属するPトランジスタ Tr_9 またはPトランジスタ Tr_{10} に入力される。

【0055】

オフセット電圧補正装置1の動作の概略は以上の通りである。ここから各部位の動作をさらに詳細に説明する。

【0056】

<カウンタ回路12の動作（図5）>

カウンタ回路12は、モード1において、初めにクロック信号CLKのアップカウント動作を行う。アップカウントを開始した直後は、コンパレータCMPの

正相入力端子+の電位は、逆相入力端子-の電位よりも低いため、出力される比較信号 S_{cmp} の値は"0"である。カウンタ回路12は、アップカウント動作を、比較信号 S_{cmp} の値が"0"から"1"に変化するまで続け、その後、クロック信号 CLK のダウンカウント動作に切り替える。ただし、カウンタ回路12は、比較信号 S_{cmp} の値が"0"から"1"に変化してすぐにカウント動作を切り替えるのではなく、さらに少なくとも1周期分のクロック信号 CLK をカウントした後にカウント動作を切り替える。

【0057】

比較信号 S_{cmp} の値の変化が生じてからカウンタ回路12がカウント動作を切り替えるまでに数クロックのインターバルを設ける理由は以下の通りである。

【0058】

理由1:

カウンタ回路12がアップカウント動作を行い、コンパレータCMPから出力される比較信号 S_{cmp} の値が"0"から"1"に切り替わるときのカウント値を" CV_u "で表し、カウンタ回路12がダウンカウント動作を行い、コンパレータCMPから出力される比較信号 S_{cmp} の値が"1"から"0"に切り替わるときのカウント値を" CV_d "で表す。コンパレータCMPが比較信号 S_{cmp} の出力に関してヒステリシス特性を有する場合、図5に示したように、カウント値 CV_u とカウント値 CV_d は一致しない。

【0059】

比較信号 S_{cmp} の値の変化が生じてからカウンタ回路12がカウント動作を切り替えるまでに数クロックのインターバルを設けることによって、カウント値 CV_u とカウント値 CV_d が一致しないことを確実に確認することができ、この結果から、コンパレータCMPがヒステリシス特性を有することが明らかになる。

【0060】

従来、カウント値 CV_u に対応する電圧またはカウント値 CV_d に対応する電圧のいずれか一方のみを入力オフセット電圧としていたが、本実施の形態にかかるオフセット電圧補正装置1によれば、カウント値 CV_u とカウント値 CV_d の

中間のカウント値CV（演算結果カウンタ値）に対応する電圧が、コンパレータCMPの入力オフセット電圧と定義される。これによって、コンパレータCMPがヒステリシス特性を有していても、入力オフセット電圧が適切に補正される。

【0061】

理由2：

オフセット電圧補正回路14に属するEx-ORゲート144は、コンパレータCMPが比較信号Scmp="1"または比較信号Scmp="0"を出力し続けている間、クロック信号CLKに同期して、"0"を出力する。そして、比較信号Scmpの論理が"1"から"0"に遷移したとき、あるいは、"0"から"1"に遷移したとき、"1"を出力する。

【0062】

もし、カウンタ回路12が比較信号Scmpの値の変化が生じてすぐにカウント動作を切り替えたならば、Ex-ORゲート144からシリアルに出力される信号は、例えば、"00000011000000"のように"1"が並ぶことになる。この場合、比較信号Scmpの"1"から"0"への変化および"0"から"1"への変化が、それぞれどのタイミングで生じたのか判断できなくなる。さらに、比較信号Scmpの論理が一度しか変化しなかった可能性も否定できなくなる。

【0063】

カウンタ回路12が、比較信号Scmpの値の変化が生じてから2クロック後にカウント動作を切り替えた場合、Ex-ORゲート144からシリアルに出力される信号は、例えば、"000000101000000"のようになる。つまり、"1"と"1"が出力される間に"0"が出力される。この"0"が現れることによって、比較信号Scmpが"1"から"0"へ変化し、さらに、"0"から"1"へ変化したことが明らかになる。

【0064】

ただし、カウンタ回路12のカウント動作の切り替えのインターバルは、比較信号Scmpの2回の変化タイミングが正確に判定できることを条件として、より短く設定すべきである。インターバルが長ければ、その分オフセット電圧補正にかかる時間（モード1の時間）が長くなってしまう。

【0065】

なお、ここでは初めにアップカウント動作を行い、次にダウンカウント動作を行った場合に即してカウンタ回路12の動作を説明したが、ダウンカウント動作を先に実施してもよい。

【0066】

＜オフセット電圧補正回路14の動作＞

オフセット電圧補正回路14に属するD-FF141の出力端子Qからは、入力端子Dに入力される比較信号S_{cmp}に対して、クロック信号CLKの1周期分遅延した信号が出力される。Ex-ORゲート144の第1入力端子には、D-FF141の出力端子Qが接続されており、第2入力端子には、D-FF141の入力端子Dが接続されている。したがって、Ex-ORゲート144は、第1入力端子と第2入力端子の電位レベルが異なるとき、すなわち比較信号S_{cmp}の論理が遷移したとき、“1”を出力する。このように、D-FF141とEx-ORゲート144によって、比較信号S_{cmp}の論理の遷移が検出される。

【0067】

Ex-ORゲート144の出力端子はD-FF142のクロック信号入力端子CKに接続されている。例えばモード1においてカウンタ回路12がアップカウント動作から開始した場合には、D-FF142は、比較信号S_{cmp}の論理が遷移したときのカウンタ信号S_cの値（カウンタ値CV_u）を保持する。上述のように、カウンタ回路12は、比較信号S_{cmp}の論理が切り替わった後、数クロックのインターバルをおいてカウント動作を切り替える。このインターバルの期間は、比較信号S_{cmp}の論理は変化しないため、Ex-ORゲート144の出力は、“0”となる。したがって、インターバルの期間、D-FF142は、カウンタ値CV_uを保持し続ける。

【0068】

インターバルの後、カウンタ回路12がダウンカウント動作を開始すると、あるタイミングで再び比較信号S_{cmp}の論理が遷移する。このときのカウンタ信号S_cの値（カウンタ値CV_d）は、D-FF142に取り込まれ、D-FF142が保持していたカウンタ値CV_uは、D-FF143にシフトする。

【0069】

以上の動作によって、比較信号 S_{cmp} の論理が最初に遷移したときのカウンタ信号 S_c の値（例えば、カウンタ値 CV_u ）は、 $D-FF143$ に保持され、比較信号 S_{cmp} の論理が2度目に遷移したときのカウンタ信号 S_c の値（例えば、カウンタ値 CV_d ）は、 $D-FF142$ に保持される。

【0070】

＜論理演算部145の構成および動作＞

論理演算部145は、図6に示すように、全加算器群1451と論理シフト回路1452から構成されている。全加算器群1451は、 $D-FF142$ が出力するカウンタ値 CV_d と $D-FF143$ が出力するカウンタ値 CV_u のビット幅に相当する数の全加算器から成る。論理シフト回路1452は、全加算器群1451の演算結果の各ビットを最下位ビット側へ1ビットずつシフトさせる機能を有する。

【0071】

このように構成された論理演算部145は、カウンタ値 CV_u とカウンタ値 CV_d の中間値（カウンタ値 CV ）を求める。そして、本実施の形態にかかるオフセット電圧補正装置1によれば、このカウンタ値 CV に対応する電圧がコンパレータ CMP の入力オフセット電圧と定義され、コンパレータ CMP の入力オフセット電圧が補正される。以下、カウンタ値 CV を求める論理演算処理について説明する。

【0072】

カウンタ値 CV_u とカウンタ値 CV_d は、論理演算部145では2進数で取り扱われる。カウンタ値 CV_u とカウンタ値 CV_d を全加算器群1451によって加算する。この加算結果の各ビットを論理シフト回路1452によって最下位ビット側へ1ビットシフトさせる。このシフト動作で得られた結果がカウンタ値 CV_u とカウンタ値 CV_d の中間の値、すなわちカウンタ値 CV となる。

【0073】

コンパレータ CMP が理想的な回路であるならば、コンパレータ CMP の正相入力端子+の電位と逆相入力端子-の電位が一致したときに、コンパレータ CM

Pから出力される比較信号 S_{cmp} の論理の変化が生じる。しかし、コンパレータCMPが入力オフセット電圧を有し、その値がマイナスの場合、正相入力端子+の電位が逆相入力端子-の電位よりも入力オフセット電圧分下降したところでコンパレータCMPから出力される比較信号 S_{cmp} の論理の変化が生じる。また、入力オフセット電圧の値がプラスの場合、正相入力端子+の電位が逆相入力端子-の電位よりも入力オフセット電圧分上昇したところでコンパレータCMPから出力される比較信号 S_{cmp} の論理の変化が生じる。

【0074】

カウント値CVを2の補数で表現したとき、その最上位ビットが"1"であれば、コンパレータCMPの入力オフセット電圧はマイナスの値を有すると判断され、その最上位ビットが"0"であれば、入力オフセット電圧はプラスの値を有すると判断される。カウント値CVの最上位ビットをモニタすれば、コンパレータCMPの入力オフセット電圧がプラスの値を有するのか、または、マイナスの値を有するのか判断することが可能となる。

【0075】

コンパレータCMPの入力オフセット電圧がマイナス値を有する場合、すなわちカウント値CVの最上位ビットが"1"の場合、論理演算部145は、カウント値CVの全てのビットを論理反転させ、最下位ビットに"1"を加算し、さらに最上位ビット以外のビットをオフセット電圧補正信号 S_{os} として出力する。コンパレータCMPの入力オフセット電圧がプラス値を有する場合、すなわちカウント値CVの最上位ビットが"0"の場合、論理演算部145は、カウント値CVの最上位ビット以外のビットをオフセット電圧補正信号 S_{os} として出力する。

【0076】

オフセット電圧補正回路14がオフセット電圧補正信号 S_{os} を出力するときには、オフセット電圧補正装置1は、コンパレータCMPの入力オフセット電圧を検出するモード（モード1）から、検出した入力オフセット電圧に基づいてコンパレータCMPの動作を制御するモード（モード2）へ移行していることが好ましい。

【0077】

<スイッチSW1およびD/A変換回路13の動作>

モード1からモード2へ移行すると、スイッチSW1は、カウンタ回路12の出力側からオフセット電圧補正回路14の出力側に接続を切り替える。したがって、オフセット電圧補正回路14から出力されたオフセット電圧補正信号S_{os}は、D/A変換回路13に入力されることになる。D/A変換回路13は、オフセット電圧補正信号S_{os}をアナログ変換し、アナログ信号S_aとして出力する。

【0078】

<スイッチSW2, SW4-1, SW4-2の動作>

モード1からモード2へ移行すると、スイッチSW2は、入力信号S_{in}がコンパレータCMPの正相入力端子+に入力されるように接続を切り替える。スイッチSW4-1およびスイッチSW4-2は、電源電圧V_{DD}の供給ライン側への接続を維持する。

【0079】

<スイッチSW3-1, SW3-2の動作>

モード1からモード2へ移行すると、スイッチSW3-1とスイッチSW3-2のいずれか一方は、スイッチSW4-1またはスイッチSW4-2の出力側からD/A変換回路13の出力側に接続を切り替え、他方は、スイッチSW4-1またはスイッチSW4-2の出力側への接続を維持する。

【0080】

このスイッチSW3-1とスイッチSW3-2の接続切り替え動作は、コンパレータCMPの入力オフセット電圧の値に基づいて行われる。

【0081】

コンパレータCMPの入力オフセット電圧がマイナス値を有する場合、すなわちカウント値CVの最上位ビットが"1"の場合、スイッチSW3-1がD/A変換回路13の出力側に接続される。このスイッチSW3-1の動作によって、アナログ信号S_aは、コンパレータCMPの第1オフセット電圧補正端子T₁を経由してPトランジスタTr₉のゲートに入力される。モード1のときオフ状態であったPトランジスタTr₉は、モード2ではアナログ信号S_aの電位（カウ

ト値CVの値)に応じた値のドレイン・ソース間電流をノードn2へ流し、ノードn2の電位を上昇させる。

【0082】

これに対して、コンパレータCMPの入力オフセット電圧がプラス値を有する場合、すなわちカウント値CVの最上位ビットが"0"の場合、スイッチSW3-2がD/A変換回路13の出力側に接続される。このスイッチSW3-2の動作によって、アナログ信号Saは、コンパレータCMPの第2オフセット電圧補正端子T2を経由してPトランジスタTr10のゲートに入力される。モード1のときオフ状態であったPトランジスタTr10は、モード2ではアナログ信号Saの電位(カウント値CVの値)に応じた値のドレイン・ソース間電流をノードn3へ流し、ノードn3の電位を上昇させる。

【0083】

コンパレータCMPの内部において、ノードn2とノードn3の電位に差がある場合、この電位差に応じた値の入力オフセット電圧が生じてしまう。そして、ノードn2の電位がノードn3の電位よりも低い場合に、入力オフセット電圧がマイナス値をとり、逆にノードn3の電位がノードn2の電位よりも低い場合に、入力オフセット電圧がプラス値をとる。

【0084】

本実施の形態にかかるオフセット電圧補正装置1によれば、入力オフセット電圧の値に応じて、コンパレータCMPに属するPトランジスタTr9またはPトランジスタTr10が動作し、ノードn2とノードn3の電位が等しくなるように調整される。この結果、コンパレータCMPの入力オフセット電圧が実質0Vとなる。

【0085】

オフセット電圧補正装置1は、トランジスタのチャネル長変調効果を用いてコンパレータCMPの入力オフセット電圧を補正する。このチャネル長変調効果についての詳しい説明は、「岩田あつし監修 CMOSアナログ回路設計技術 リアライズ社」P25～P45にある。

【0086】

ここから、チャネル長変調効果を考慮した、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の飽和領域におけるドレイン電流-ゲート・ソース間電圧特性(I_d - V_{gs} 特性)の導出過程について説明する。

【0087】

Nチャネル型MOSFETの飽和領域における I_d - V_{gs} 特性およびPチャネル型MOSFETの飽和領域における I_d - V_{gs} 特性をそれぞれ、(Eq.1)、(Eq.2)に示す。

【0088】

【数1】

$$I_d = \frac{\beta_n}{2} * (V_{gs} - V_{thn})^2 * (1 + \lambda_n V_{ds}) \quad (\text{Eq. 1})$$

$$I_d = \frac{\beta_p}{2} * (-V_{gs} + V_{thp})^2 * (1 - \lambda_p V_{ds}) \quad (\text{Eq. 2})$$

$$\beta_n = \mu_n C_{oxn} * \frac{W_n}{L_n}$$

$$\beta_p = \mu_p C_{oxp} * \frac{W_p}{L_p}$$

$$\lambda_n = 1 + \frac{C_{dn}}{C_{oxn}}$$

$$\lambda_p = 1 + \frac{C_{dp}}{C_{oxp}}$$

$$\lambda_n = \frac{K_{dsn}}{2L_n \sqrt{V_{ds} - V_{gs} + \Phi_0}}$$

$$\lambda_p = \frac{K_{dsp}}{2L_p \sqrt{-V_{ds} + V_{gs} + \Phi_0}}$$

$$K_{dsn} = \sqrt{\frac{2 \epsilon_s \epsilon_0}{q N_A}}$$

$$K_{dsp} = \sqrt{\frac{2 \epsilon_s \epsilon_0}{q N_D}}$$

μ : チャネル移動度、
 C_{ox} : ゲート酸化膜容量
 W : ゲート幅
 L : ゲート長
 C_d : 空乏層容量
 V_{ds} : ソースドレイン間電圧
 V_{gs} : ゲートソース間電圧
 Φ_0 : ビルトインポテンシャル
 ϵ_s : 比誘電率
 N_A : アクセプター濃度
 N_D : ドナー濃度

【0089】

コンパレータCMPにおける入力オフセット電圧の発生原因として、以下の二つが考えられる。

【0090】

原因1：NトランジスタTr3および／またはNトランジスタTr4のディメンジョンのばらつき

原因2：PトランジスタTr1および／またはPトランジスタTr2のディメンジョンのばらつき

【0091】

原因1と原因2それぞれに対する入力オフセット電圧の補正手法を説明する。

【0092】

<原因1の場合>

NトランジスタTr3のゲート長が設計値より「短く」なったときの、コンパレータCMPを構成する各トランジスタのドレイン電流－ドレイン・ソース間電圧特性(I_d － V_{ds} 特性)を図7に示す。NトランジスタTr3は、NトランジスタTr4に比べて、ゲート長が短くなっているため、そのスレショルド電圧 V_{thn} も ΔV_{th} 低くなる。このため、ノードn2の電位とノードn3の電位に差が生じてしまう。

【0093】

NトランジスタTr3のゲートとNトランジスタTr4のゲートに対して等しい電圧が印加されているとき、ノードn2の電位とノードn3の電位が一致していれば、コンパレータCMPの入力オフセット電圧は“0V”である。しかしこのとき、図7に示したように、ノードn2の電位とノードn3の電位に差が生じるのであれば、コンパレータCMPは入力オフセット電圧を有することになる。

【0094】

本実施の形態にかかるオフセット電圧補正装置1によれば、コンパレータCMPの正相入力端子+と逆相入力端子－に同じ電圧が印加されているときのノードn2の電位とノードn3の電位を一致させることが可能となる。これによって、コンパレータCMPにおける入力オフセット電圧が“0V”に補正される。特に、原因1に対してオフセット電圧補正装置1は、ノードn2の電位をノードn3の

電位に一致させるように動作する。具体的には、Pトランジスタ T_{r1} のドレイン・ソース間電流 $I_{ds}(1)$ とPトランジスタ T_{r9} のドレイン・ソース間電流 $I_{ds}(9)$ の和 $I_{ds}(1,9)$ が、Nトランジスタ T_{r3} のドレイン・ソース間電流 $I_{ds}(3)$ に等しくなるように、Pトランジスタ T_{r9} のゲート電圧を変化させドレイン・ソース間電流 $I_{ds}(9)$ を調整する。

【0095】

この原因1とは異なり、Nトランジスタ T_{r3} のゲート長が設計値より「長く」なったときは、ノード $n3$ の電位をノード $n2$ の電位に一致させる。これによって入力オフセット電圧が補正される。

【0096】

<原因2の場合>

Nトランジスタ T_{r1} のゲート長が設計値より「短く」なったときの、コンパレータCMPを構成する各トランジスタのドレイン電流・ドレイン・ソース間電圧特性(I_d - V_{ds} 特性)を図8に示す。入力オフセット電圧の補正は、原因1の場合と同様に、コンパレータCMPの正相入力端子+と逆相入力端子-に同じ電圧が印加されているときのノード $n2$ の電位とノード $n3$ の電位を一致させることで実現する。この原因2への対応としてオフセット電圧補正装置1は、ノード $n2$ の電位をノード $n3$ の電位に一致させるように動作する。

【0097】

この原因2とは異なり、Nトランジスタ T_{r1} のゲート長が設計値より「長く」なったときは、ノード $n3$ の電位をノード $n2$ の電位に一致させる。これによって入力オフセット電圧が補正される。

【0098】

次に、入力オフセット電圧が補正される前と補正された後のコンパレータCMPの状態について説明する。

【0099】

本実施の形態にかかるオフセット電圧補正装置1は、入力オフセット電圧を補正するために、入力オフセット電圧 ΔV_{in} と、Pトランジスタ T_{r9} のドレイン・ソース間電流 $\Delta I_{ds}(9)$ またはPトランジスタ T_{r10} のドレイン・ソース間電

流 $\Delta I_{ds}(10)$ との関連付けを行う。ここで、コンパレータ CMP の入力オフセット電圧を補正する際のオフセット電圧補正装置 1 の動作 1 および動作 2 について、上出の (Eq. 2) を用いて考察する。

【0100】

動作 1 :

コンパレータ CMP の逆相入力端子ーを経由して N トランジスタ T_{r4} のゲートに入力されるリファレンス信号 S_{ref} について、入力オフセット電圧 ΔV_{in} に相当する分、電圧を調整する。これによって、図 7 に示したノード $n2$ の動作点がノード $n3$ の動作点に等しくなる。

【0101】

動作 2 :

P トランジスタ T_{r9} のドレイン・ソース間電流 I_{ds} を調整する ($I_{ds} \pm \Delta I_{ds}$)。これによって、図 7 に示したノード $n2$ の動作点がノード $n3$ の動作点に等しくなる。

【0102】

動作 1、動作 2 におけるノード $n3$ の動作点をそれぞれ (Eq. 3)、(Eq. 4) に示す。なお、コンパレータ CMP の内部回路におけるノード $n4$ の電位を基準とする (図 4 参照)。

【0103】

【数 2】

$$I_d = \frac{\beta_1}{2n_1} * [(V_{gs} + \Delta V_{in}) - (V_{th} - \Delta V_{th})]^2 * (1 + \lambda_1 V_{ds}) \quad (\text{Eq. 3})$$

$$I_d = \frac{\beta_1}{2n_1} * [V_{gs} - (V_{th} - \Delta V_{th})]^2 * (1 + \lambda_0 V_{ds}) + \Delta I_{ds} \quad (\text{Eq. 4})$$

【0104】

λ_0 と λ_1 は次式で表される。 λ_1 には、入力オフセット電圧 ΔV_{in} が含まれる。

【0105】

【数 3】

$$\ddot{e}_0 = \frac{K_{ds}}{2L\sqrt{V_{ds}-V_{gs}+\ddot{O}_0}}$$

$$\ddot{e}_1 = \frac{K_{ds}}{2L\sqrt{V_{ds}-(V_{gs}+\Delta V_{in})+\ddot{O}_0}}$$

【0106】

(Eq.3), (Eq.4)に関して, ノード n 3 の動作点 (I_d, V_{ds}) は同じであることから, ΔV_{in} と ΔI_{ds} の関係を (Eq.5) のように表すことができる。

【0107】

【数 4】

$$\frac{\beta_1}{2n_1} [(V_{gs}+\Delta V_{in}) - (V_{th}-\Delta V_{th})]^2 (1+\lambda_{1ds})$$

$$= \frac{\beta_1}{2n_1} [V_{gs} - (V_{th}-\Delta V_{th})]^2 (1+\lambda_0 V_{ds}) + \Delta I_{ds} \quad (\text{Eq. 5})$$

【0108】

$V_{gs} \gg \Delta V_{in}$ より $\lambda_0 \doteq \lambda_1$ と近似できる。よって, (Eq.5) は (Eq.6) のように書き換えられる。

【0109】

【数 5】

$$\frac{2n_1 \Delta I_{ds}}{\beta_1 (1+\lambda_0 V_{ds})} = \Delta V_{in} [\Delta V_{in} + 2(V_{gs}-V_{th}+\Delta V_{th})] \quad (\text{Eq. 6})$$

【0110】

更に, Nトランジスタ T_{r3} , T_{r4} , Pトランジスタ T_{r2} は, 飽和領域で動作しているため (図7参照), $\Delta V_{in} \ll V_{gs}-V_{th}+\Delta V_{th}$ の関係が成り立つ。よって, (Eq.6) を (Eq.7) に書き換えることができる。

【0111】

【数 6】

$$\frac{n_1 \Delta I_{ds}}{\beta_1 (1 + \lambda_0 V_{ds}) (V_{gs} - V_{th} + \Delta V_{th})} = \Delta V_{in} \quad (\text{Eq. 7})$$

【0112】

(Eq.7)において、

【数 7】

$$\frac{n_1}{\beta_1 (1 + \lambda_0 V_{ds}) (V_{gs} - V_{th} + \Delta V_{th})}$$

を比例係数と見れば、 ΔI_{ds} と ΔV_{in} は比例関係にあるといえる。

【0113】

入力オフセット電圧が補正されたコンパレータCMPにおけるPトランジスタTr9のゲート電圧 V_{gs} と、ドレイン・ソース間電流（調整分） ΔI_{ds} の関係式(Eq.8)を(Eq.2)から導く。なお、コンパレータCMPの内部回路におけるノードn4の電位を基準とする（図4，図7参照）。

【0114】

【数 8】

$$\Delta I_{ds} = \frac{\beta_p}{2n_p} * (-V_{gs} + V_{thp})^2 * (1 - \lambda_p V_{ds}) \quad (\text{Eq. 8})$$

【0115】

PトランジスタTr9に流れる電流は、PトランジスタTr1に流れる電流に比べて十分に小さい。このため、PトランジスタTr9に及ぶチャネル長変調効果の程度は、PトランジスタTr1と比較すれば極めて小さい。よって、(Eq.8)において、 $\lambda_p = 0$ と近似することができる。この結果、PトランジスタTr9のゲートに印加される電圧 V_{gs} は、(Eq.9)のようになる。

【0116】

【数9】

$$V_{gs} = V_{thp} - \sqrt{\frac{2n_p \Delta I_{ds}}{\beta_p}} \quad (\text{Eq. 9})$$

$$V_{thp} < 0$$

【0117】

(Eq.6)を変形すると(Eq.10)が得られる。

【0118】

【数10】

$$\Delta I_{ds} = A \Delta V_{in} \quad (\text{Eq. 10})$$

$$A = \frac{\beta_1 (1 + \lambda_0 V_{ds}) (V_{gs} - V_{th} + \Delta V_{th})}{n_1}$$

【0119】

この(Eq.10)を(Eq.9)に代入すると、(Eq.11)が得られる。

【0120】

【数11】

$$V_{gs} = V_{thp} - \sqrt{\frac{2n_p A \Delta V_{in}}{\beta_p}} \quad (\text{Eq. 11})$$

【0121】

この(Eq.11)に基づいて、コンパレータCMPの入力オフセット電圧が補正される。 ΔV_{in} は ΔV_{th} の関数であり、双方とも V_{th} に比較して小さい。したがって、(Eq.11)における $A \Delta V_{in}$ をマクローリン展開すると、(Eq.11)のように V_{gs} は ΔV_{in} の一次関数で表される。

【0122】

【数 12】

$$V_{gs} = V_a + b \Delta V_{in} \quad (\text{Eq. 12})$$

V_a : 一次関数の切片

b : 勾配

【0123】

(Eq.12)は、理論式(Eq.11)に対するいわゆる実験式である。この(Eq.12)は、D/A変換回路13の出力中央値を整合することで実現される。

【0124】

[第2の実施の形態]

本発明の第2の実施の形態にかかるオフセット電圧補正装置は、第1の実施の形態にかかるオフセット電圧補正装置1に対して、コンパレータCMPがコンパレータCMP2に置き換えられた構成を有する。このコンパレータCMP2の回路構成を図9に示す。

【0125】

コンパレータCMP2は、コンパレータCMPに対して、PトランジスタTr1とPトランジスタTr9がPトランジスタTr21（第1、2内部ノード電位制御手段）に置き換えられ、PトランジスタTr10が省略された構成を有する。

【0126】

PトランジスタTr21には、2つのゲートを備えるニューロン(neuron)MOSトランジスタが採用される。このニューロンMOSトランジスタについて、図10を用いて説明する。

【0127】

ニューロンMOSトランジスタは、一般的なMOSトランジスタと同様に、半導体基板101にソース領域102とドレイン領域103を備えている。両者の構造的な違いはゲート部にある。すなわち、ニューロンMOSトランジスタは、下部絶縁膜104と上部絶縁膜106に挟まれたフローティングゲート膜105、および、複数のゲート107-1; 107-2, ..., 107-nを有している。

【0128】

一般的なMOSトランジスタは、入出力ともにデジタル信号しか扱えないが、ニューロンMOSトランジスタによれば、入力信号として、アナログ信号、多値信号、またはデジタル信号を適用することが可能となる。また、ニューロンMOSトランジスタを用いてソースフォロワ回路を構成すれば、多値信号の出力が可能となる。このような特徴を有するニューロンMOSトランジスタを採用すれば、少ないトランジスタ数でより複雑な回路機能を実現することができる。このことは、図4に示したコンパレータCMPと図9に示したコンパレータCMP2を比較しても明らかである。コンパレータCMP2の場合、コンパレータCMPに比べて、構成トランジスタの数が2つ少ない。さらに、コンパレータCMP2にはPトランジスタTr10が存在しないため、第2オフセット電圧補正端子T2およびこれに接続されているスイッチSW3-2およびスイッチSW4-2も不要となる。

【0129】

コンパレータCMP2にニューロンMOSトランジスタを採用することによって、次のような機能上の利点も得られる。ニューロンMOSトランジスタの場合、スレショルド電圧を調整することによって、ドレイン・ソース間電流 I_{ds} を正負両方に制御できる。このため、入力オフセット電圧が正負のいずれの値をとろうとも、ニューロンMOSトランジスタを一つ備えることによって、入力オフセット電圧の補正が可能となる。第1の実施の形態にかかるオフセット電圧補正装置1の場合、入力オフセット電圧が補正されているとき、ノードn2またはノードn3は、大きな電流が流れる動作点にある。これに対して、第2の実施の形態にかかるオフセット電圧補正装置によれば、電流を一定に、かつ小さく抑えた状態で入力オフセット電圧が補正される。したがって、より小さい消費電力のもとで入力オフセット電圧を補正することが可能となる。

【0130】

コンパレータCMP2は、Pチャネル型のニューロンMOSトランジスタ（PトランジスタTr21）を備えているが、Pチャネル型のニューロンMOSトランジスタに代えて、Nチャネル型のニューロンMOSトランジスタを採用することも可

能である。Nチャネル型のニューロンMOSトランジスタを有するコンパレータCMP3の回路構成を図11に示す。

【0131】

コンパレータCMP3は、第1の実施の形態にかかるオフセット電圧補正装置1に属するコンパレータCMPに対して、PトランジスタTr9とPトランジスタTr10が省略され、Nトランジスタ3がNトランジスタTr23（Nチャネル型のニューロンMOSトランジスタ）に置き換えられた構成を有する。コンパレータCMP3によれば、コンパレータCM2と同様の効果が得られる。

【0132】

添付図面を参照しながら本発明の好適な実施の形態について説明したが、本発明はかかる実施の形態に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0133】

【発明の効果】

以上説明したように、本発明によれば、極めて高い精度でコンパレータ回路の入力オフセット電圧を補正することが可能となる。また、入力オフセット電圧の補正にかかる回路の規模も小さく抑えられる。この補正動作のために消費される電力も少ない。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態にかかるオフセット電圧補正装置の構成を示すブロック図である。

【図2】

図1のオフセット電圧補正装置に属するカウンタ回路の構成を示すブロック図である。

【図3】

図1のオフセット電圧補正装置に属するオフセット電圧補正回路の構成を示す

ブロック図である。

【図 4】

図 1 のオフセット電圧補正装置に属するコンパレータの入力段の回路図である。

【図 5】

図 2 のカウンタ回路と図 4 のコンパレータの動作説明図である。

【図 6】

図 3 のオフセット電圧補正回路に属する論理演算部の構成を示すブロック図である。

【図 7】

入力オフセット電圧の補正動作（その 1）を説明するための各トランジスタの I_d - V_{ds} 特性曲線図である。

【図 8】

入力オフセット電圧の補正動作（その 2）を説明するための各トランジスタの I_d - V_{ds} 特性曲線図である。

【図 9】

本発明の第 2 の実施の形態にかかるオフセット電圧補正装置に属するコンパレータ（その 1）の入力段の回路図である。

【図 10】

ニューロン MOS トランジスタの構造図である。

【図 11】

本発明の第 2 の実施の形態にかかるオフセット電圧補正装置に属するコンパレータ（その 2）の入力段の回路図である。

【符号の説明】

- 1 : オフセット電圧補正装置
- 11 : クロック信号発生回路
- 12 : カウンタ回路
- 13 : D/A 変換回路
- 14 : オフセット電圧補正回路

15 : リファレンス電圧発生回路

145 : 論理演算部

CLK : クロック信号

CMP : コンパレータ

CV, CVu, CVd : カウント値

n2, n3 : ノード

Sa : アナログ信号

Sc : カウンタ信号

Scmp : 比較信号

Sin : 入力信号

Sos : オフセット電圧補正信号

Sref : リファレンス信号

Ssel : セレクト信号

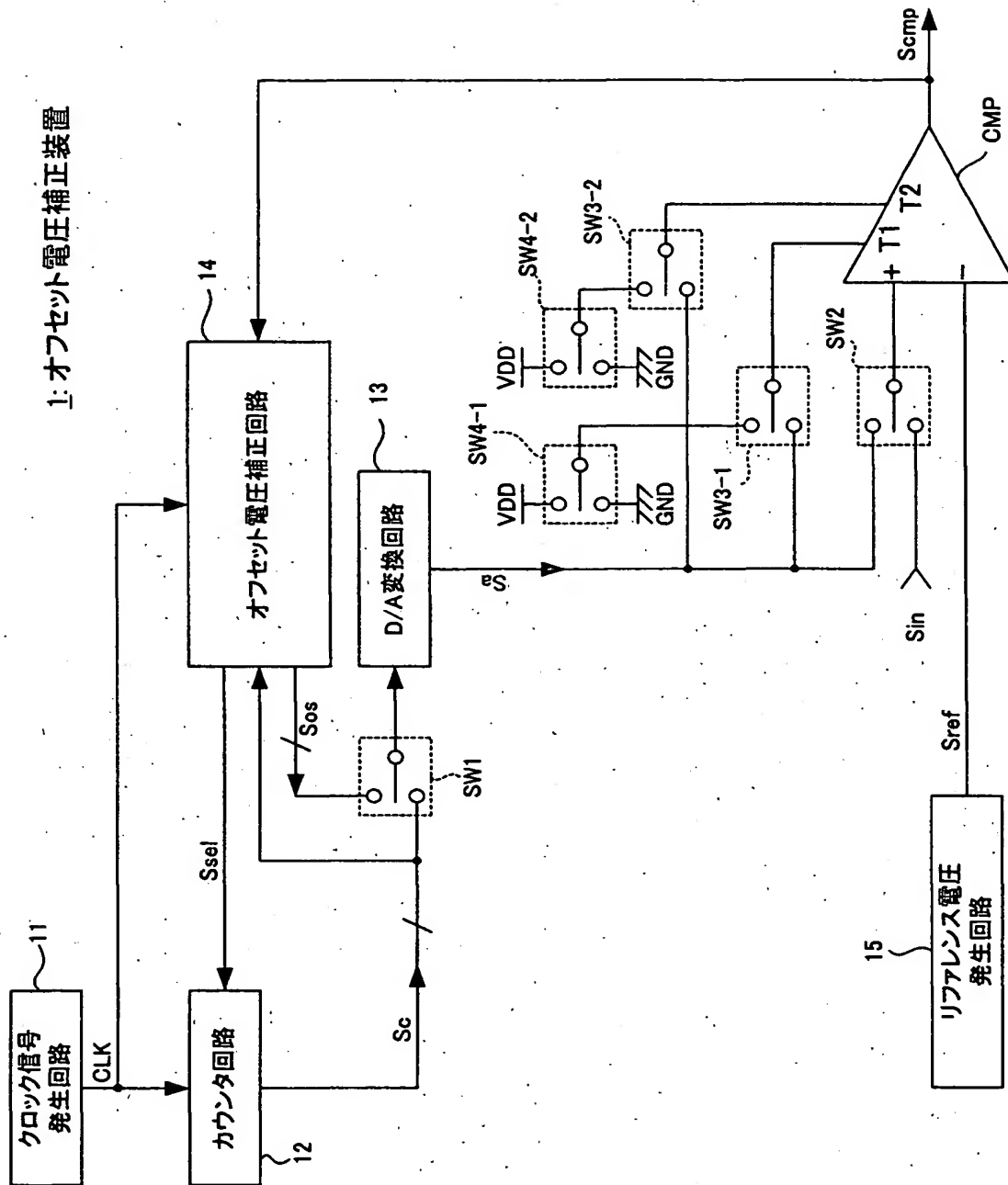
SW1, SW2 : スイッチ

Tr1, Tr2, Tr9, Tr10 : Pトランジスタ

Tr3, Tr4 : Nトランジスタ

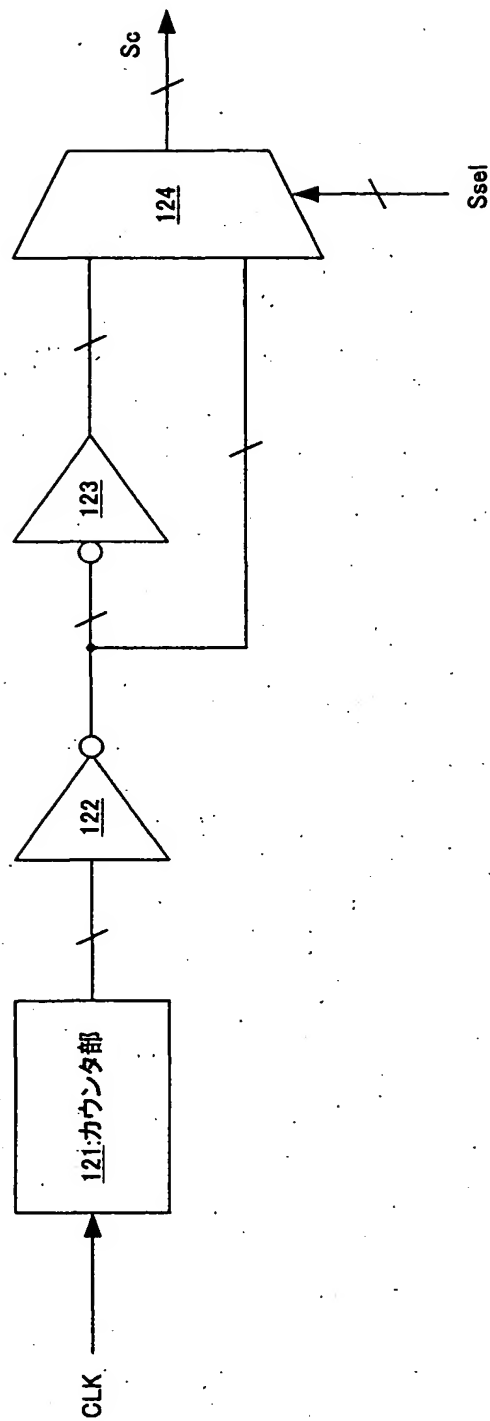
【書類名】 図面

【図 1】

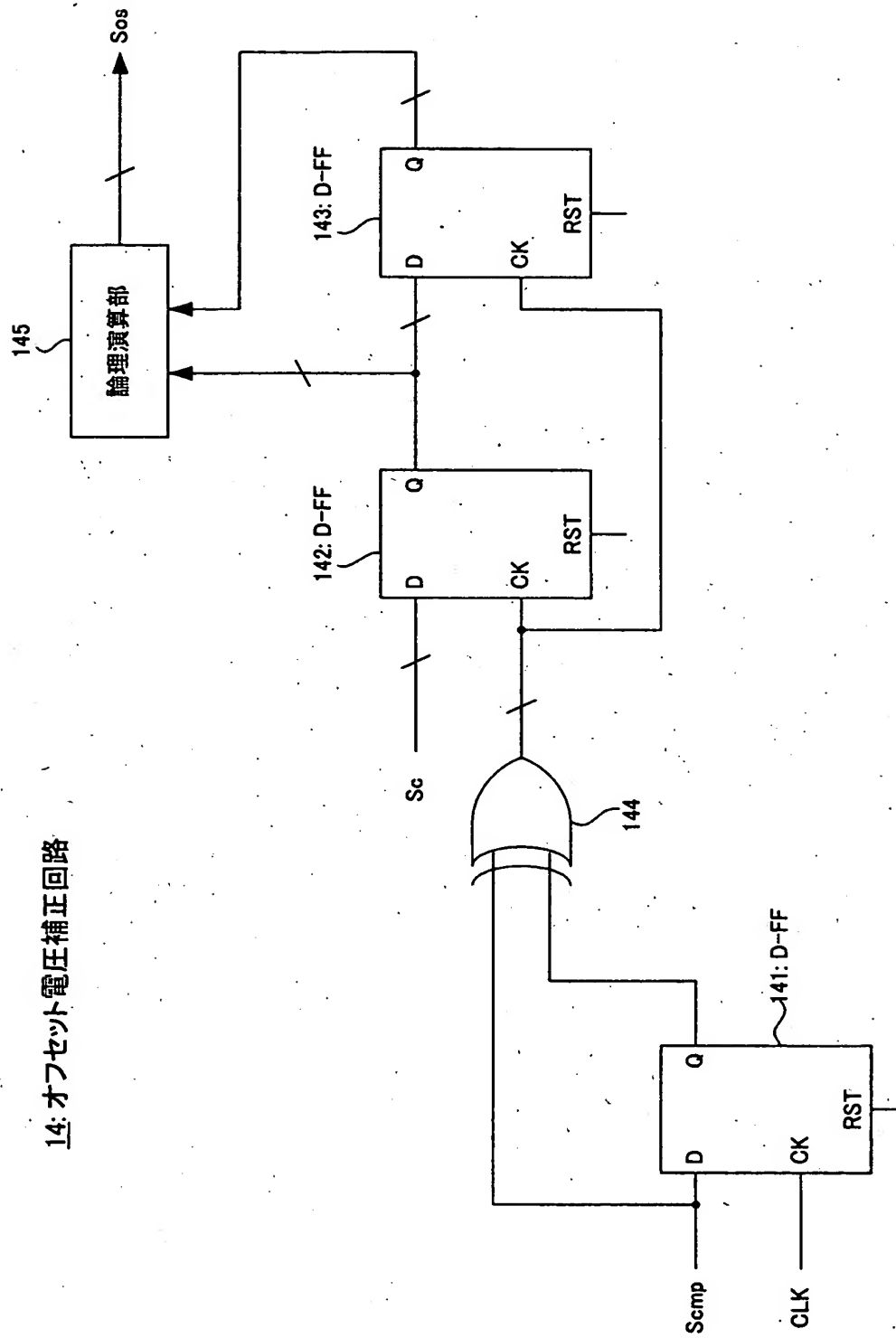


【図2】

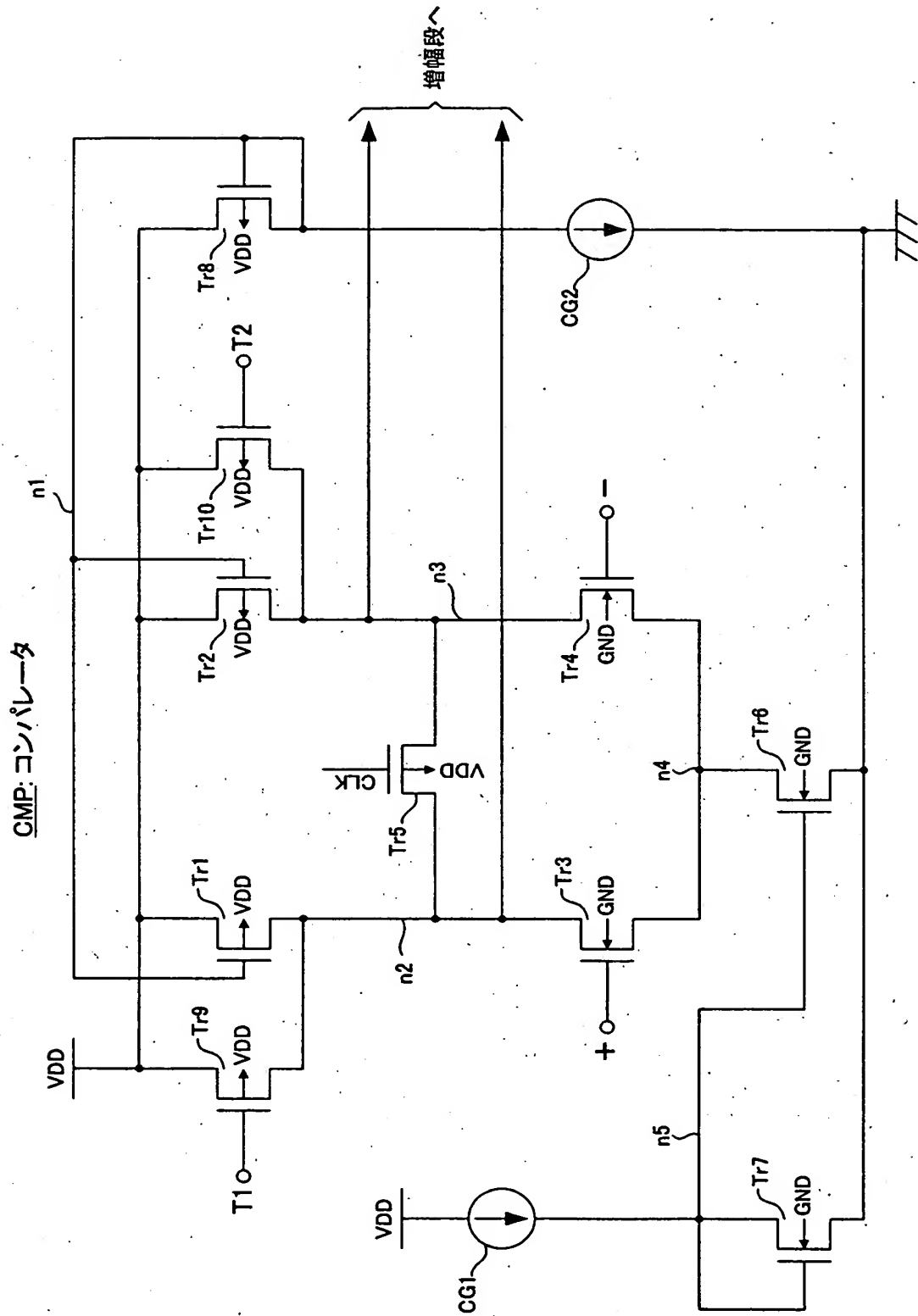
12: カウンタ回路



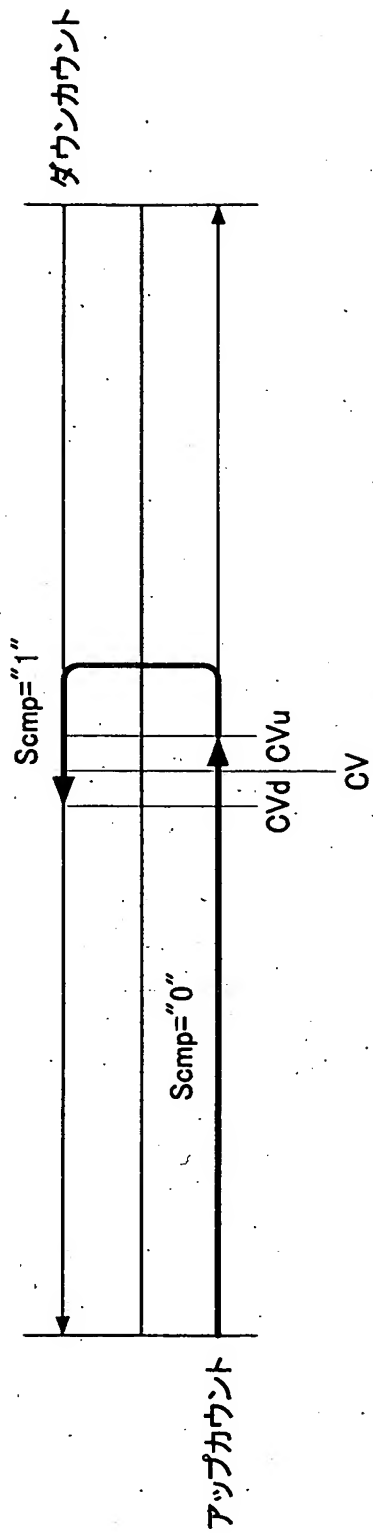
【図 3】



【図 4】

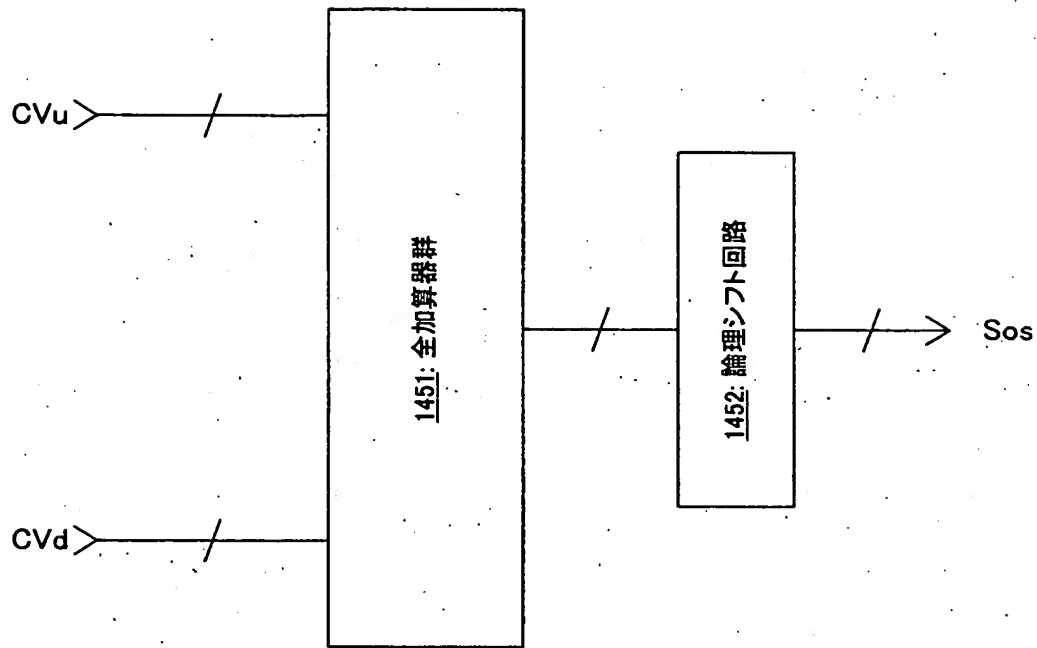


【図 5】

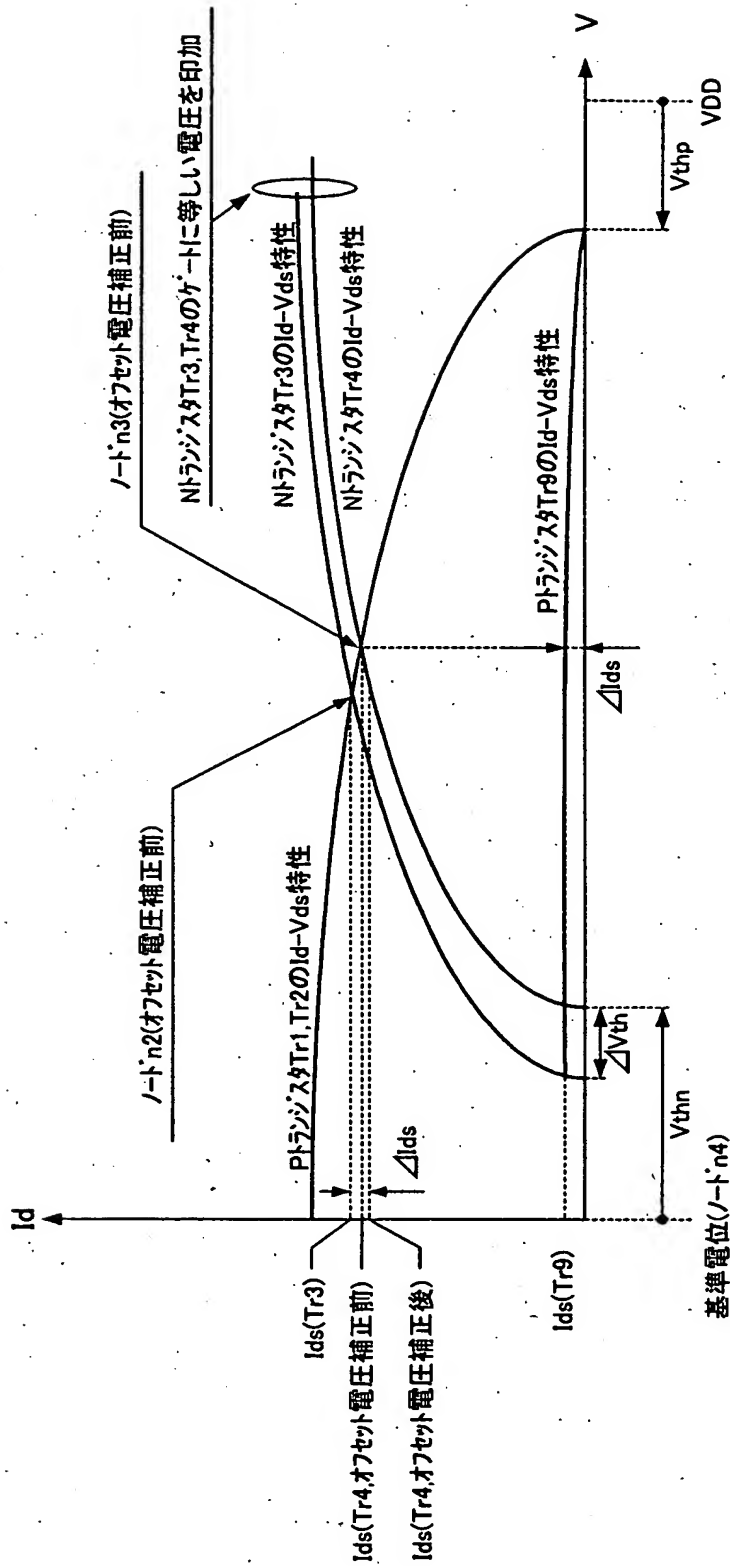


【図 6】

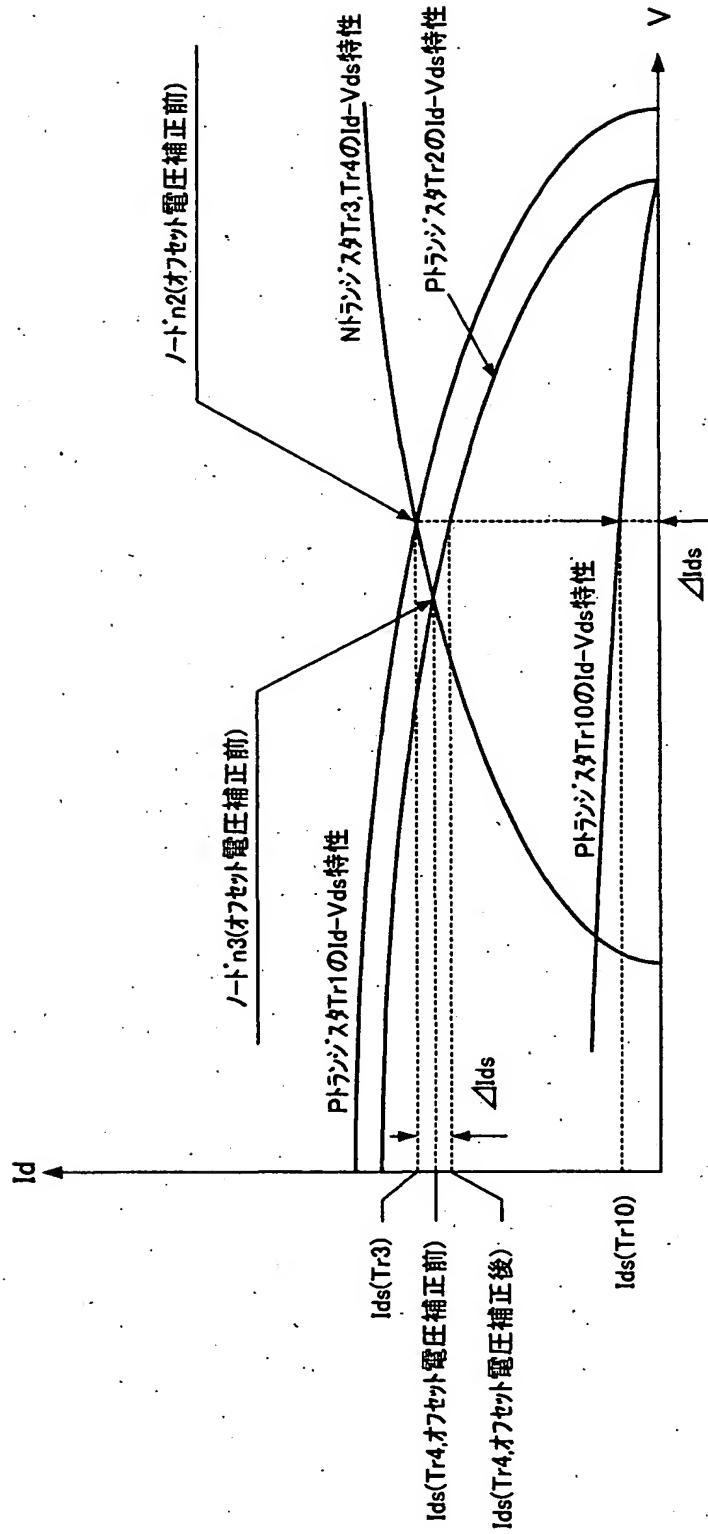
145: 論理演算部



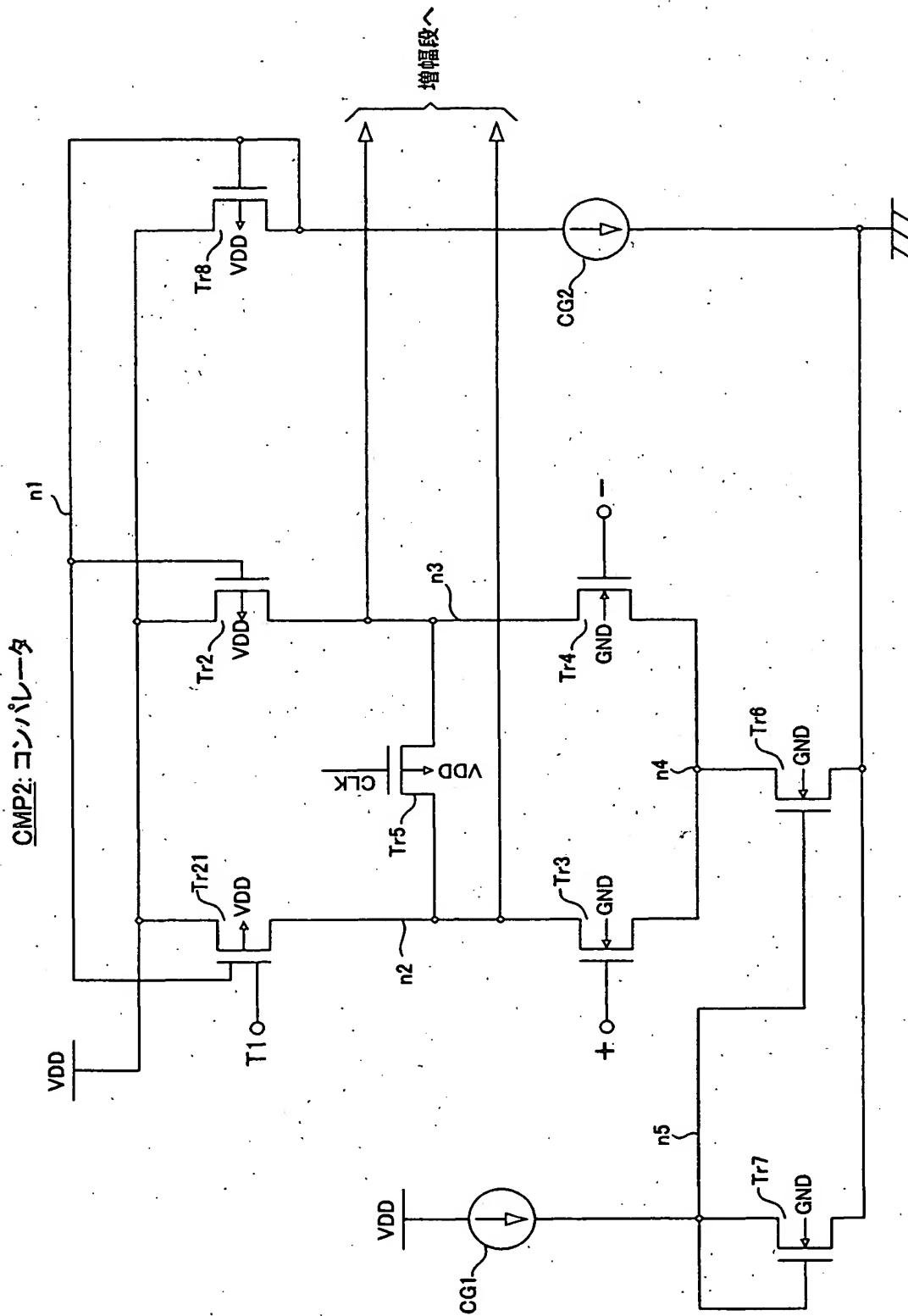
【図 7】



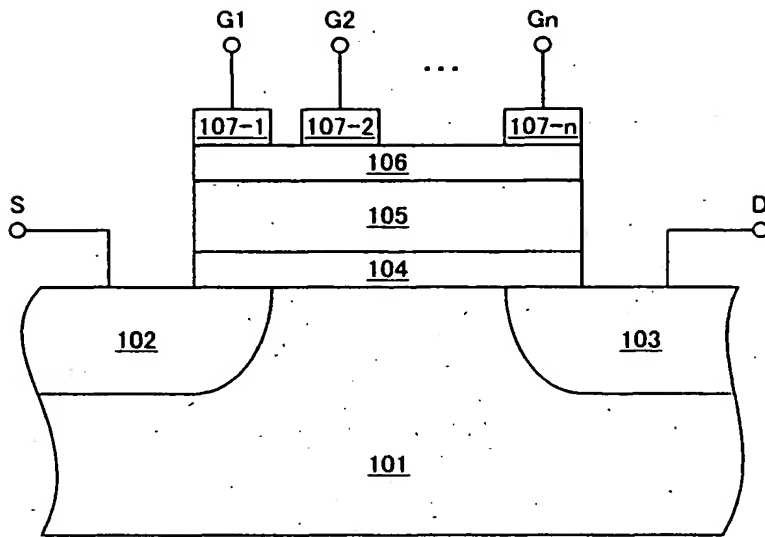
【図 8】



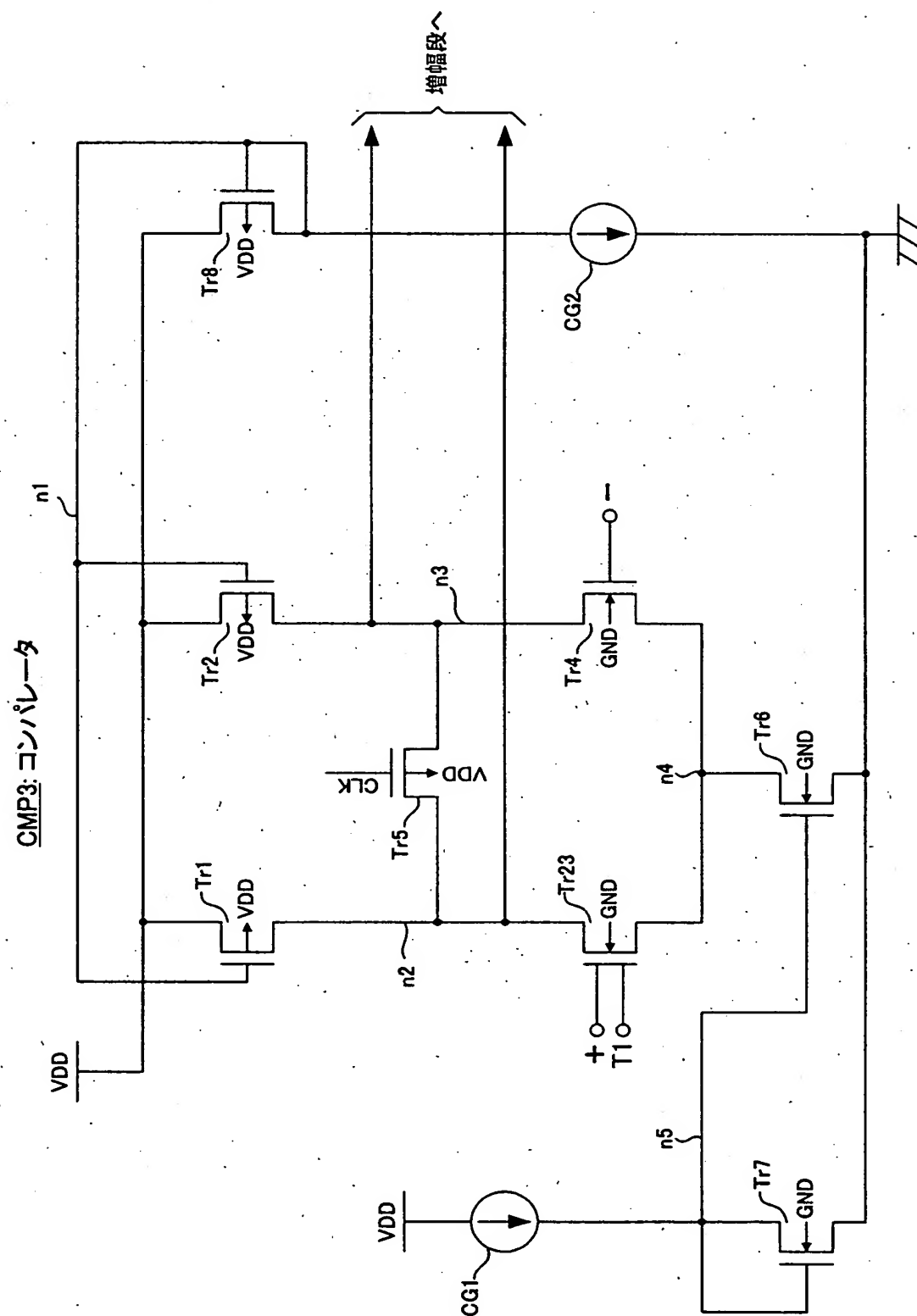
CMP2: コンパレータ



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 極めて高い精度でコンパレータ回路の入力オフセット電圧を補正することが可能なオフセット電圧補正装置およびオフセット電圧補正方法を提供する。

【解決手段】 コンパレータCMPの入力オフセット電圧を検出する際、カウンタ回路12は、クロック信号CLKのアップカウント動作とダウンカウント動作を両方行う。オフセット電圧補正回路14は、比較信号Scmpが"1"から"0"に遷移する場合の入力オフセット電圧に対応するカウンタ信号Scの値（カウンタ値CVu）と、"0"から"1"に遷移する場合の入力オフセット電圧に対応するカウンタ信号Scの値（カウンタ値CVd）を得る。オフセット電圧補正回路14は、カウンタ値CVuとカウンタ値CVdを用いて所定の演算を行う。コンパレータCMPのオフセット電圧は、この演算結果に基づいて補正される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社